

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(5)

(11) Publication number :

2002-204003

(43) Date of publication of application : 19.07.2002

(51) Int.Cl.

H01L 43/08  
 G01R 33/09  
 G11B 5/39  
 H01C 7/00  
 H01F 41/34  
 H01L 43/12

(21) Application number : 2000-401037

(71) Applicant : TOSHIBA CORP

(22) Date of filing : 28.12.2000

(72) Inventor : OSAWA YUICHI

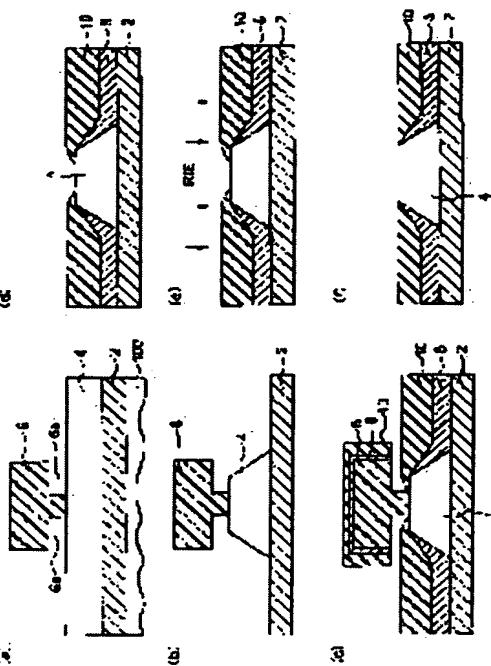
KISHI MASAYUKI

**(54) METHOD FOR MANUFACTURING VERTICALLY CONDUCTING MAGNETORESISTANCE EFFECT ELEMENT**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To enable to prevent dispersion of resistance and obtain a high process yield of a magnetoresistance effect element.

**SOLUTION:** A manufacturing method comprises the steps of: forming a lower electrode 2, forming a magnetoresistance effect film 4 including a plurality of layers on the lower electrode; forming a mask 6 on the magnetoresistance effect film; patterning the magnetoresistance effect film with the mask; forming a high resistive film 10 having higher resistance than the magnetoresistance effect film at the side of the magnetoresistance effect film as the mask remain; removing the mask; removing the high resistive film existing on the magnetoresistance effect film; an forming an upper electrode 12 on the magnetoresistance effect film.



## LEGAL STATUS

[Date of request for examination]

05.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3590768

[Date of registration] 27.08.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] Form a lower electrode and the magneto-resistive effect film which has two or more layers is formed on said lower electrode. Form a mask on said magneto-resistive effect film, and patterning of said magneto-resistive effect film is carried out using this mask. The high resistance film with resistance higher than said magneto-resistive effect film is formed in the side of said magneto-resistive effect film, with said mask left. The manufacture approach of the vertical energization mold magneto-resistive effect component characterized by removing said mask, removing said high resistance film which exists on said magneto-resistive effect film, and forming an up electrode on said magneto-resistive effect film.

[Claim 2] The manufacture approach of the vertical energization mold magneto-resistive effect component according to claim 1 characterized by removing said high resistance film which exists on said magneto-resistive effect film at a large rate compared with the clearance rate of the maximum upper layer of said magneto-resistive effect film.

[Claim 3] The manufacture approach of the vertical energization mold magneto-resistive effect component according to claim 1 characterized by forming said high resistance film by the directive good approach.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

[Industrial Application] This invention relates to the manufacture approach of a vertical energization mold magneto-resistive effect component.

**[0002]**

[Description of the Prior Art] In recent years, the magnetic recording density in a hard disk drive rises rapidly, and the playback output per [ which is demanded ] unit width of recording track is also rising rapidly in connection with it. It is expected per 1 inch square that the playback output per width of recording track becomes very high with 10mV or more at the time of 100Gbpsi(s) (Gigabits per square inch). The playback component which passes a vertical sense current to film laminating interfaces, such as a TMR (Tunneling Magneto-resistance) component and CPP-GMR (Current Perpendicular to the Plane-Giant Magneto-resistance), is proposed to this high power demand. The sense current supply source to the sensor of these vertical energization method needs to take an electrode to the upper and lower sides of a playback component. However, in connection with high magnetic recording density, since the magnetization on a medium is small, it is necessary to also make the configuration of a playback component small on deep submicron level.

[0003] On the other hand, the manufacture approach of a playback component is Abutted at the reason of the process simple nature from the time of the energization method within a field. The Junction (henceforth AJ) process is used, and even if it becomes a vertical energization method playback component, since it is unchanging to the process simple nature, AJ process is adopted. As it is first indicated in drawing 9 (a) as AJ process in a field secret communication electrotyping component T mold resist pattern 26 is formed on the CIP (CurrentIn Plane) magneto-resistive effect film 24 formed on the lower gap 22. Patterning of the CIP magneto-resistive effect film 24 is carried out by using this T mold resist pattern 26 as a mask. Then, after patterning leaves this T mold resist pattern 26 as it is, the bias film 28 and an electrode layer 30 are formed from on that (refer to drawing 9 (c)), and the process which finally removes T mold resist pattern 26 is pointed out (refer to drawing 9 (d)).

[0004] In a vertical energization mold playback component, as shown in JP,2000-228002,A, the CPP magneto-resistive effect film 4 is formed on the lower electrode 2, and T mold resist pattern is formed on this CPP magneto-resistive effect film 4. And patterning of the CPP magneto-resistive effect film 4 is carried out by using this T mold resist pattern 6 as a mask, after that, after patterning leaves this T mold resist pattern as it is, the bias film 8 and an insulator layer 10 are formed from on that, and, finally T mold resist pattern is removed (refer to drawing 10 ). In addition, instead of forming an insulator layer 10, as formed in bias film 8 itself with a high electric resistance ingredient, you may constitute.

**[0005]**

[Problem(s) to be Solved by the Invention] Thus, when AJ process is used for manufacture of a CPP magneto-resistive effect component, the high electrical-resistance-materials film 8 and an insulator layer 10 turn to the hollow part of a mask from the inevitable configuration of a mask, and it starts near the edge of the magneto-resistive effect film 4. Since it is difficult to control the distance (the amount of overlap) which requires the high electrical-resistance-materials film 8 and an insulator layer 10 on the magneto-resistive effect film 4, dispersion arises in the touch area of an electrode

when formed on the magneto-resistive effect film 4, and the magneto-resistive effect film 4. Consequently, resistance of a sensor (magneto-resistive effect component) will vary. supposing the size of a sensor is 0.1micrometerx0.1micrometer temporarily and the amount of overlap is usually set to 20nm from an edge by the amount of overlap of an insulator layer 10 at the time of 10nm -- the touch area of the magneto-resistive effect film and a top electrode -- 2 -- or it will become low 30 percent. And even if it is dramatically difficult in process to control this amount of overlap to 10nm and manufactures actually, the yield is bad and brings about the cost high.

[0006] This invention is made in consideration of the above-mentioned situation, and it prevents that the resistance of a magneto-resistive effect component varies as much as possible, and aims at offering the manufacture approach of the vertical energization mold magneto-resistive effect component which can make the yield high as much as possible.

[0007]

[Means for Solving the Problem] The manufacture approach of the vertical energization mold magneto-resistive effect component by this invention Form a lower electrode and the magneto-resistive effect film which has two or more layers is formed on said lower electrode. Form a mask on said magneto-resistive effect film, and patterning of said magneto-resistive effect film is carried out using this mask. The high high resistance film of resistance is formed in the side of said magneto-resistive effect film, said mask is removed, said high resistance film which exists on said magneto-resistive effect film is removed from said magneto-resistive effect film, with said mask left, and it is characterized by forming an up electrode on said magneto-resistive effect film.

[0008] Thus, in the manufacture approach of constituted this invention, after depositing the high resistance film, with a mask left, a mask is removed and the high resistance film which exists on the magneto-resistive effect film after that is removed. Since contact area with the up electrode formed on the magneto-resistive effect film is prescribed by the up area of the magneto-resistive effect film by this, resistance of a magneto-resistive effect component is stabilized and it can prevent that resistance varies. Consequently, a magneto-resistive effect component can be manufactured with the sufficient yield.

[0009] In addition, as for said high resistance film, it is desirable to consist of an ingredient which has a large clearance rate compared with the clearance rate of the maximum upper layer of said magneto-resistive effect film.

[0010] moreover -- clearance of said high resistance film -- reactive ion etching (henceforth RIE) -- law or chemical mechanical polishing (henceforth CMP) -- law may be used.

[0011] In addition, as for said high resistance film, it is desirable that membranes are formed by either the ion beam spatter method, a cathodic arc process, the long slow spatter method and the collimation spatter method and these and an EQC by the directive good approach.

[0012]

[Embodiment of the Invention] The operation gestalt of this invention is hereafter explained with reference to a drawing.

[0013] (The 1st operation gestalt) The 1st operation gestalt of the manufacture approach of the vertical energization mold magneto-resistive effect component by this invention is explained with reference to drawing 1 thru/or 3. The production process of the manufacture approach of this operation gestalt is shown in drawing 1 .

[0014] first, the conductor which consists of for example, a MoW alloy or Ta on this lower shielding film on the Al Chick substrate 100 after forming the lower shielding film (not shown) further, the alumina under coat film (not shown) and as shown in drawing 1 (a) -- the film is formed as a lower electrode 2. Furthermore, using CMP, the front face of the lower electrode 2 is graduated so that it may become 5nm or less of surface roughness. It becomes important [ it is important to press down surface roughness, while especially component size is becoming small, for example, ] for dependability reservation of a vertical energization mold playback component, when component size becomes 0.1 micrometerx0.1-micrometer angle extent to control grain irregularity finely, since the magnitude of grain each of the lower shielding film which consists of NiFe formed by plating etc. becomes about [ of a component ] 1/10. Smoothing by CMP may be performed on the lower shielding film which consists of NiFe, and may be performed on the bottom electrode 2 which consists of MoW.

[0015] Next, as shown in drawing 1 (b), the vertical energization mold magneto-resistive effect film 4, for example, the CPPGMR film, is formed on the lower electrode 2. The laminated structure of this CPPGMR film 4 For example, Ta layer the bottom to whose thickness is 5nm, The CoFe layer whose thickness is 1nm, Cu layer whose thickness is 1nm, the CoFe layer whose thickness is 1nm, Cu layer and thickness whose thickness is 1nm are 1nm. A CoFe layer, Cu layer whose thickness is 7nm, the CoFe layer whose thickness is 1nm, Cu layer whose thickness is 1nm, the CoFe layer whose thickness is 1nm, Cu layer whose thickness is 1nm, the CoFe layer whose thickness is 1nm, the PtMn layer whose thickness is 23nm, and Ta layer whose thickness is 5nm -- since -- it has become.

[0016] Then, the photoresist pattern 6 which consists of a photoresist and which has recess 6a caudad is formed on this CPPGMR film 4, and patterning of the CPPGMR film 4 is carried out in ion milling by using this photoresist pattern 6 as a mask (refer to drawing 1 (b)). In addition, the substrate 100 is omitted after drawing 1 (b).

[0017] Next, as shown in drawing 1 (c), the bias film 8 whose thickness which leaves the photoresist pattern 6 as it is, for example, consists of CoPt is 50nm is formed, and the high resistance film 10 with resistance still higher than the CPPGMR film, for example, the insulator layer whose thickness which consists of SiO<sub>2</sub> is 50nm, is formed. And if the photoresist pattern 6 is removed, as shown in drawing 1 (d), the insulator layer 10 which consists of SiO<sub>2</sub> on the CPPGMR film 4 starts slightly, and it will be in an overlap condition. the amount of overlap at this time -- the configuration of the photoresist pattern 6, and SiO<sub>2</sub> from -- it is decided by surroundings lump of the insulator layer 10 in the becoming membrane formation process of an insulator layer 10. Control will become very difficult if the amount need controlled variable of overlap generally becomes the order which is about 10nm.

[0018] Thus, if an insulator layer 10 performs the formation process of the up electrode 12 in the condition of overlapping on the CPPGMR film 4 as shown in drawing 2 , into the part a which the insulator layer 10 overlaps, the sense current from the up electrode 12 will not flow, but contact to the up electrode 12 will be made in the part b to which the insulator layer 10 does not overlap the CPPGMR film 4. Therefore, the part into which a current's flows becoming small, and contact area will become small, and component resistance (contact resistance \*\*\*\*\*) will go up.

[0019] Then, as shown in drawing 1 (e), before the up electrode 12 is formed with this operation gestalt For example, it went RIE using Freon system gas, such as CHF<sub>3</sub>, to the whole substrate surface., SiO<sub>2</sub> film 10 performed about 10nm of the amounts of etching. Moreover, since the collision of physical ion may have an adverse effect on the CPPGMR film 4, it is still more desirable to apply CDE (Chemical Dry Etching) which is chemical dry etching. The selection ratio in RIE of Ta protective coat of the maximum upper layer of the CPPGMR film 4 and SiO<sub>2</sub> film 10 was about 10. Therefore, etching of SiO<sub>2</sub> film 10 whose thickness is 10nm is equivalent to 1nm etching of Ta protective coat. By this etching, as shown in drawing 1 (f), the insulator layer on the CPPGMR film 4 retreated to the edge of the CPPGMR film 4. Consequently, since sensor resistance is prescribed by the area of the top face of the CPPGMR film 4, it can prevent that resistance varies as much as possible, and can make the yield high as much as possible. In addition, after removing the insulator layer 10 which remains on the CPPGMR film 4, an up electrode (not shown) is formed on the CPPGMR film 4.

[0020] Since the thickness of an insulator layer 10 it is thin from SiO<sub>2</sub> which turns on the CPPGMR film 4 is less than [ 1/several ] compared with a flat part, the insulator layer 10 on a component is easily removable by performing slight RIE. In addition, the insulator layer 10 on the bias film 8 can secure the insulation with the up electrode 12 and the bias film 8 by forming it thickly beforehand with less than [ 1/several ], since the amount which turns on the CPPGMR film 4 although part etching will be carried out is few.

[0021] Moreover, if the directive good membrane formation approaches, i.e., the membrane formation approach that the direction of the matter which jumps out of a target turns into a predetermined one direction, such as ion beam sputtering, are used, distribution of an insulator layer 10 can be formed so that it may become thick rapidly, if it separates from the CPPGMR film 4. Consequently, the process width of face of RIE time amount can be expanded. This is explained with reference to drawing 3 (a). The case where an insulator layer 10 is formed by directive good

approaches, such as an ion beam spatter, to drawing 3 (a) is shown. In order to remove the insulator layer on the CPPGMR film 4, anisotropic etching is performed using the RIE method. Thereby, an insulator layer 10 retreats the CPPGMR film 4 top toward an edge. Let a just-etching condition be the time amount the insulator layer 10 started the edge of the CPPGMR film 4 exactly. When thickness distribution of an insulator layer 10 is steep, namely, when an insulator layer 4 is formed by the directive good membrane formation approach with the edge of the CPPGMR film 4 when RIE is performed so that it may furthermore become over etching, even if it performs RIE so that it may become over etching, the insulator layer edge 10 hardly retreats from the edge of the CPPGMR film 4. consequently, the sense current which flows in from an up electrode (not shown) in order that the bias film 8 which consists of CoPt under an insulator layer 10 may not come out to an etching front face -- the CPPGMR film 4 -- flowing -- bias -- a conductor -- shunt and there is nothing on the film 8. For this reason, there is no loss of a sense current and it can prevent that the resistance of a CPPGMR component varies.

[0022] On the other hand, when an insulator layer 10 is formed by RF (Radio Frequency) spatter etc. As shown in drawing 3 (b), from the condition of just etching which requires an insulator layer 10 for the edge of the CPPGMR film 4 by RIE furthermore, the bias which the edge of an insulator layer 10 retreats by over etching, and consists of CoPt since thickness distribution of the insulator layer [ / near the edge of the CPPGMR film 4 ] 10 is loose when RIE is performed so that it may become over etching -- a conductor -- the film 8 comes out to an etching front face. Consequently, since the sense current which flows from an up electrode (not shown) flows not only on the CPPGMR film 4 but on the bias film 8 which consists of CoPt, it will lose a sense current.

[0023] In addition to the pressure-resistant improvement by the membranous comparison with the usual RF sputtering membrane formation, by forming the steep thickness profile in the edge of this CPPGMR film 4, the insulator layer 10 which was formed by the directive good membrane formation approaches, such as the ion beam spatter method, from the above thing in being valid in this invention can bring about amplification of a process window, and, as a result, can stabilize sensor resistance more.

[0024] It is desirable for there to be a cathodic arc process, a long slow spatter method, or the collimation spatter method other than the ion beam spatter method, and to use a directive good approach for these either, or these and an EQC as the directive good membrane formation approach.

[0025] In addition, at this operation gestalt, it is SiO<sub>2</sub> about an insulator layer 10. Although it was CHF<sub>3</sub>, Freon system gas, chlorine-based gas, etc. of others [ etching gas ] can use etching gas. Moreover, an insulator layer 10 may use an alumina, a zirconia, etc.

[0026] (2nd operation gestalt) Next, the 2nd operation gestalt of the manufacture approach of the vertical energization mold magneto-resistive effect component by this invention is explained with reference to drawing 4 . Drawing 4 is the sectional view showing the production process of the manufacture approach of this operation gestalt.

[0027] In the manufacture approach of the 1st operation gestalt, the manufacture approach of this operation gestalt forms the insulator layer 11 to which the laminating of the two ingredients with which construction material differs instead of an insulator layer 10 was carried out, in order to prevent the over etching by RIE. Membrane formation of the bias film 8 which consists of CoPt is performed at the same process as the 1st operation gestalt. And film 11a which consists of SiO<sub>2</sub> whose thickness is 30nm where the photoresist pattern 6 is left is formed, the laminating of the insulator layer film 11b which consists of aluminum 2O<sub>3</sub> whose thickness is 30nm further is carried out, and an insulator layer 11 is formed by removing the photoresist pattern 6 like the 1st operation gestalt after that, i.e., the lift-off method, (refer to drawing 4 (a)).

[0028] Next, as shown in drawing 4 (b), the insulator layer which turned on the CPPGMR film 4 by etching the front face of an insulator layer 11 by the RIE method using CHF<sub>3</sub> gas is removed. The clearance by this etching performs RIE for alumina (aluminum 2O<sub>3</sub>) film 11b in a surface first using CHF<sub>3</sub> gas. This etching was performed on condition that CHF<sub>3</sub> gas 15sccm, coil power 300W, and platen power 300W using the ICP plasma etching system. In this etching condition, the selection ratio to SiO<sub>2</sub> film 11a of aluminum2O<sub>3</sub> film 11b is about 4. SiO<sub>2</sub> film 11a is intermittently etched after etching several 10nm (refer to drawing 4 (b)) in alumina film 11b on the CPPGMR film 4. At this time, as shown in drawing 4 (b), still thick alumina film 11b remains in the side of the CPPGMR

film 4. Then, when etching is performed on these conditions, instead of this extant alumina film 11b being a mask is carried out, and SiO<sub>2</sub> film 11a is etched by one about 4 times the speed of this as compared with alumina film 11b (drawing 4 (c)). Alumina film 11b can carry out the role of a mask, and retreat of an insulator layer 11 can be controlled by carrying out like this. Consequently, it can prevent a sense current's flowing [ opening area ] by over etching in addition to breadth and CPPGMR film 4, and a sense current losing.

[0029] As mentioned above, the breadth of opening by over etching can be controlled by making the upper etching rate lower than a lower layer etching rate so that an insulating layer 11 may be made into two or more layers and upper 11b may carry out the role of the mask of lower layer 11a. Furthermore, it becomes easy to reduce the poor insulation by the pinhole by becoming two or more layers.

[0030] Moreover, this 2nd operation gestalt as well as the 1st operation gestalt can prevent that the resistance of a magneto-resistive effect component varies as much as possible, and can make the yield high as much as possible.

[0031] In addition, although dry etching was used with the 1st and 2nd operation gestalten as etching which removes the insulator layer on the CPPGMR film 4, it is also possible to process it using wet etching.

[0032] (3rd operation gestalt) Next, the 3rd operation gestalt of the manufacture approach of the vertical energization mold magneto-resistive effect component by this invention is explained with reference to drawing 5. The production process of the manufacture approach of this operation gestalt is shown in drawing 5.

[0033] In the 1st operation gestalt, the manufacture approach of this operation gestalt uses the CMP method for clearance of the insulator layer 10 on the CPPGMR film 4 instead of the RIE method, and performs it.

[0034] First, it carries out at the same process as the 1st operation gestalt until thickness forms SiO<sub>2</sub> film 10 which is 50nm, as shown in drawing 5 (a). In addition, drawing 5 (a) shows the configuration which carried out the lift off. Next, CMP was performed using the base slurry which consists of SiO<sub>2</sub>. The processing rate of SiO<sub>2</sub> film 10 and Ta film which is the maximum upper layer of the CPPGMR film 4 is about 4:1. It is not influenced by setting a cross as a soft ingredient by the irregularity applied to the CPPGMR film 4 from an insulator layer 10, but CMP becomes is easy to be performed on the whole surface. The configuration after CMP processing is shown in drawing 5 (b). About 10nm of CMP was performed. It turns out that SiO<sub>2</sub> thin insulator layer on the CPPGMR film 4 is retreating to the edge of the CPPGMR film 4. The amount of processings of Ta film which is a protective coat formed in the maximum upper layer of the CPPGMR film 4 was 2.5nm. The insulator layer on the CPPGMR film 4 is removable from the above thing with CMP by taking a processing selection ratio with the protective coat of the GMR film 4.

[0035] Also in this 3rd operation gestalt, it can prevent that the resistance of a magneto-resistive effect component varies as much as possible like the 1st operation gestalt, and the yield can be made high as much as possible.

[0036] In addition, in the 1st operation gestalt, as shown in drawing 6 (a) depending on the formation approach of the bias film 8 which consists of CoPt, the bias film 8 may be applied to the edge of the CPPGMR film 4 like an insulator layer 10. In this case, even if it removes an insulator layer 10 by the RIE method etc., the bias film 8 will remain in the bottom of it (refer to drawing 6 (b)). Since there is conductivity in the bias film 8 which consists of CoPt fundamentally, if an insulator layer 10 is removed from on the CPPGMR film 4, component resistance will be stabilized and will be manufactured. However, when the electric resistance of the bias film 8 is highly set up by the manufacture approach of the bias film 8, or when thickly formed on the CPPGMR film 4, lifting of component resistance is produced like the time of the insulator layer 10 having started.

[0037] The lifting allowed value of the component resistance per unit area of the part to which the laminating of the bias film which becomes below from CoPt for pressing down component resistance to \*\*10% (range 20%) was carried out is explained.

[0038] The residual thickness allowed value on the CPPGMR film 4 of the film 8 which consists of CoPt required in order to press down in a range fluctuation of resistance of the CPPGMR film 4 by surroundings lump of the bias film 8 which consists of CoPt within 20% is calculated noting that it

assumes that there are the area homogeneity of the component by the process and membrane formation repeatability of enough of the electrical resistivity of the CPPGMR film 4.

[0039] Hereafter, it explains with reference to drawing 7.

[0040] The amount of surroundings lumps of the bias film 8 from the edge of the CPPGMR film 4 is set to w (value of standard over die length of one side), and suppose that the bias film 8 which becomes the part around which it turned from CoPt is formed by homogeneity by Thickness t. Moreover, the part around which the film which consists of CoPt turns: Consider as the resistance Ra of the film surface perpendicular direction per unit area in Area A ( $= (1-2w) \times 1$ ).

[0041] The resistance RA of the film surface perpendicular direction in Area A serves as  $RA = Ra/Sa$  (however, normalization area [ as opposed to the size of the CPPGMR film 4 of Area A in Sa ]).

[0042] Moreover, the part around which the film 8 which consists of CoPt turns: Set in Area B ( $= 1 - area A$ ), and it is the resistance Rb of the film surface perpendicular direction per unit area.  $Rb = c \times Ra (= Ra + Rbias) \dots (1)$

Here, a multiplier and Rbias show resistance of the film surface perpendicular direction by the CoPt film. [ as opposed to Ra of Rb in c ] And the comprehensive resistance RB (film surface perpendicular direction) in Area B serves as  $RB = Rb/Sb$  (however, normalization area [ as opposed to the size of the CPPGMR film 4 of Area B in Sb ]).

[0043] The comprehensive resistance Rtot of the CPPGMR film 4 by what the bias film 8 which consists of CoPt turned around is the parallel resistance of Area A and Area B, and becomes  $Rtot = RA \times RB / (RA + RB)$ . Therefore, if the increment ratio in component resistance is set to D when you have no surroundings lump, it will become the following (2) types.

[0044]

$$D = Rtot / (Ra / (Sa + Sb)) \times (RA \times RB / (RA + RB)) / (Ra / (Sa + Sb)) \dots (2)$$

$$(2) \text{ Rewrite a formula and they are } D = (Ra / Sa) \times (Rb / Sb) / ((Ra / Sa) + (Rb / Sb)) \text{ Ra} = RaRb / (RaSb + RbSa) \text{ (Ra) } = c / (Sb + cSa), \text{ therefore } c = DSb / (1 - D) \dots (3)$$

\*\*\*\*\*. Here, it is  $cRa = Ra + Rbias$ , i.e.,  $c = 1 + Rbias / Ra$ , from (1) type. ... (4)

It becomes. (3)  $Rbias / Ra = DSb$  from a formula and (4) types /  $(1 - D) - 1 \dots (5)$

\*\*\*\*\*.

[0045] Therefore, resistance of the film which consists of CoPt permissible if the resistance Ra of the permissible increment ratio D in component resistance and the CPPGMR film per unit area and the circumference lump area Sa and Sb of CoPt are known can be drawn.

[0046] The residual thickness allowed value on the CPPGMR film 4 of the film 8 which consists of CoPt under the following assumptions is calculated.

[0047] The resistance per unit area of the vertical energization direction of the CPPGMR film 4 The effect by antiferromagnetism film (for example, PtMn alloy, IrMn alloy, etc.) thickness with the high electrical resistivity of an ingredient and the thickness of Ta film used for a substrate or a cap layer as most Electrical resistivity:230 of PtMn (muomega and cm), 150 (muomega and cm) and thickness Electrical resistivity of thickness 25nmTa : Electrical resistivity:150 of 10nm(protective coat + substrate film) CoPt (muomega and cm), The CPPGMR laminating series resistance Ra per unit area in the surroundings lump thickness t and Area A CPPGMR [ in / it is Ra =  $230 \times 25 + 150 \times 10 = 7250$ , and / Area B ], The laminating series resistance Rb per bias film laminating unit area is  $Rb = Ra + 150t = 230 \times 25 + 150 \times 10 + 150t = c$  Ra =  $7250c$ . Noting that the bias film 8 which consists of CoPt turns 20% of the top face of the CPPGMR film 4 of one side from each edge Moreover,  $w = 0.2$  and the bottom, area A area:  $-- Sa = (1 - 0.2 \times 2) \times 1 = 0.6$  area B area:  $--$  it is set to  $Sb = 1 - Sa = 1 - 0.6 = 0.4$ . here, if  $Sa = 0.6$ ,  $Sb = 0.4$ , and  $D = 1.2$  are substituted for (5) types as 20% the increment ratio in component resistance  $-- Rbias / Ra = DSb / (1 - D)$  follows  $-1 = (1.2 \times 0.4) / (1 - 1.2 \times 0.6) - 1 = 0.71Rbias = 150t = 0.71 \times 7250t = 34.5$  nm. It can approve, even if the film 8 which consists of CoPt exists to 34.5nm on the CPPGMR film 4, and a result which does not need to remove depending on the membrane formation process of the film 8 which consists of CoPt is brought.

[0048] Moreover, the resistance of a bias film part rises according to a membrane formation process, and to exceed a component resistance allowed value, it is necessary to perform clearance or reduction of the bias film. In this case, the bias film also turns into high resistance film.

[0049] Since it is difficult to remove the film which generally consists of CoPt by KEMIKARU etching, For example, as shown in the ion milling in the include angle which can take enough the

selection ratio of the protective coat of the maximum upper layer of CPPGMR film, such as Ta, and the bias film 8, and drawing 8 (a) Or an include angle performs ion milling at a shallow include angle to a substrate before clearance of the resist pattern 6 when not forming an insulator layer 10 (refer to drawing 8 (b)). before membrane formation of the insulator layer 10 after forming the bias film 8 -- It is effective to perform the clearance or reduction of the bias film 8 currently formed on the CPPGMR film 4 (refer to drawing 8 (b)). Henceforth, when forming an insulator layer 10 (refer to drawing 8 (c)), by using RIE etc. after clearance of a resist pattern 6, and removing the insulator layer on the CPPGMR film 4, the bias film 8 and insulator layer 10 which consist of (drawing 8 (d) reference) and CoPt are made to remove from on the CPPGMR film 4, and it becomes possible to manufacture by stable component resistance.

[0050] In addition, in the above-mentioned operation gestalt, although the mask 6 was T mold configuration, this invention is not limited to this, and if it is the thing of the configuration around which the high resistance film turns on the magneto-resistive effect film, it can apply this invention.

[0051]

[Effect of the Invention] As mentioned above, as stated, according to this invention, it can prevent that the resistance of a magneto-resistive effect component varies as much as possible, and the yield can be made high as much as possible.

---

[Translation done.]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-204003  
(P2002-204003A)

(43)公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl.<sup>7</sup>  
 H 01 L 43/08  
 G 01 R 33/09  
 G 11 B 5/39  
 H 01 C 7/00  
 H 01 F 41/34

識別記号

F I  
 H 01 L 43/08  
 G 11 B 5/39  
 H 01 C 7/00  
 H 01 F 41/34  
 H 01 L 43/12

テマコード(参考)  
 Z 2 G 01 7  
 5 D 03 4  
 D 5 E 03 3  
 5 E 04 9

審査請求 未請求 請求項の数 3 OL (全 13 頁) 最終頁に続く

(21)出願番号 特願2000-401037(P2000-401037)

(71)出願人 000003078

(22)出願日 平成12年12月28日 (2000.12.28)

株式会社東芝  
東京都港区芝浦一丁目1番1号(72)発明者 大沢裕一  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内(72)発明者 岸雅幸  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝研究開発センター内(74)代理人 100064285  
弁理士 佐藤一雄 (外3名)

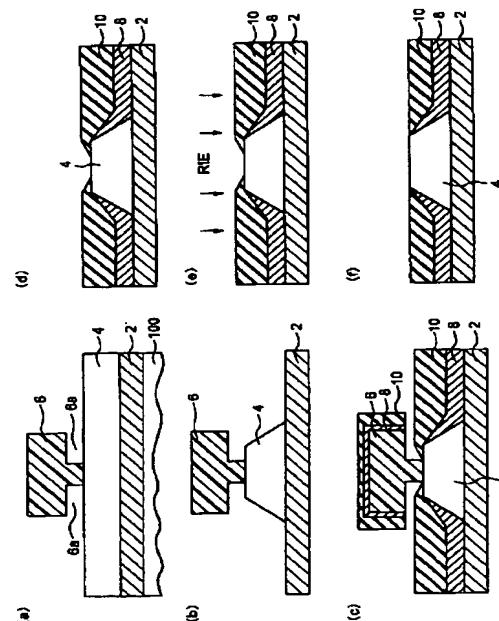
最終頁に続く

(54)【発明の名称】 垂直通電型磁気抵抗効果素子の製造方法

## (57)【要約】

【課題】 磁気抵抗効果素子の抵抗値がばらつくのを可  
及的に防止することが可能で、歩留まりを可及的に高く  
することを可能にする。

【解決手段】 下部電極2を形成し、下部電極上に複数  
の層を有する磁気抵抗効果膜4を形成し、磁気抵抗効果  
膜上にマスク6を形成し、このマスクを用いて磁気抵抗  
効果膜をバターニングし、マスクを残したまま磁気抵抗  
効果膜よりも抵抗の高い高抵抗膜10を磁気抵抗効果膜  
の脇に形成し、マスクを除去し、磁気抵抗効果膜上に存  
在する高抵抗膜を除去し、磁気抵抗効果膜上に上部電極  
12を形成することを特徴とする。



## 【特許請求の範囲】

【請求項1】下部電極を形成し、前記下部電極上に複数の層を有する磁気抵抗効果膜を形成し、前記磁気抵抗効果膜上にマスクを形成し、このマスクを用いて前記磁気抵抗効果膜をバーニングし、前記マスクを残したまま前記磁気抵抗効果膜よりも抵抗の高い高抵抗膜を前記磁気抵抗効果膜の脇に形成し、前記マスクを除去し、前記磁気抵抗効果膜上に存在する前記高抵抗膜を除去し、前記磁気抵抗効果膜上に上部電極を形成することを特徴とする垂直通電型磁気抵抗効果素子の製造方法。

【請求項2】前記磁気抵抗効果膜上に存在する前記高抵抗膜を、前記磁気抵抗効果膜の最上層の除去速度に比べて大きい速度で除去することを特徴とする請求項1記載の垂直通電型磁気抵抗効果素子の製造方法。

【請求項3】前記高抵抗膜を、指向性の良い方法により形成することを特徴とする請求項1記載の垂直通電型磁気抵抗効果素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、垂直通電型磁気抵抗効果素子の製造方法に関する。

## 【0002】

【従来の技術】近年、ハードディスクドライブにおける磁気記録密度は急激に上昇し、それに伴い、要求される単位トラック幅当たりの再生出力も急激に上昇している。1インチ平方当たり100Gbps (Gigabits per square inch)の時代には、トラック幅当たりの再生出力は10mV以上ときわめて高くなることが予想される。この高出力要求に対して、TMR (Tunneling Magneto-resistance)素子やCPP-GMR (Current Perpendicular to the Plane-Giant Magneto-resistance)など膜積層界面に垂直センス電流を流す再生素子が提案されている。これら垂直通電方式のセンサーへのセンス電流供給は再生素子の上下に電極をとる必要がある。しかし、高磁気記録密度に伴い媒体上の磁化が小さいため、再生素子の形状もディープサブミクロンレベルに小さくする必要がある。

【0003】一方、再生素子の製造方法は面内通電方式の時代から、そのプロセス簡便性の理由でA buttressed Junction (以下、AJとも言う) プロセスが使用されており、垂直通電方式再生素子となつてもそのプロセス簡便性に変わりないためAJプロセスが採用される。面内通電型素子におけるAJプロセスとは、まず図9(a)に示すように、下部ギャップ22上に形成されたCIP (Current In Plane) 磁気抵抗効果膜24上にT型レジストパターン26を形成し、このT型レジストパターン26をマスクとしてCIP磁気抵抗効果膜24をバーニングし、その後、このT型レジストパターン26をバーニング後もそのまま残してその上からバイアス膜28および絶縁膜30を成膜し(図9(c) 参照)。

照)、最後にT型レジストパターン26を除去するプロセスを指す(図9(d) 参照)。

【0004】垂直通電型再生素子においては、特開2000-228002号公報に示されるように、下部電極2上にCPP磁気抵抗効果膜4を形成し、このCPP磁気抵抗効果膜4上にT型レジストパターンを形成する。そして、このT型レジストパターン6をマスクとしてCPP磁気抵抗効果膜4をバーニングし、その後、このT型レジストパターンをバーニング後もそのまま残してその上からバイアス膜8および絶縁膜10を成膜し、最後にT型レジストパターンを除去する(図10参照)。なお、絶縁膜10を成膜する代わりにバイアス膜8そのものが高電気抵抗材料で形成するように構成しても良い。

## 【0005】

【発明が解決しようとする課題】このように、CPP磁気抵抗効果素子の製造にAJプロセスを用いた場合、マスクの必然的形状から高抵抗材料膜8や絶縁膜10がマスクの窪み部分に回り込んで磁気抵抗効果膜4のエッジ付近にかかる。高抵抗材料膜8や絶縁膜10が磁気抵抗効果膜4上にかかる距離(オーバーラップ量)を制御することが困難であるため、磁気抵抗効果膜4上に形成される上電極と磁気抵抗効果膜4との接触面積にばらつきが生じる。その結果、センサー(磁気抵抗効果素子)の抵抗がばらついてしまう。仮にセンサーのサイズが0.1μm × 0.1μm であって、通常、絶縁膜10のオーバーラップ量がエッジより10nmのときに、そのオーバーラップ量がもし20nmになったとすると、磁気抵抗効果膜と上電極との接触面積は2乃至3割低くなってしまう。

しかも、このオーバーラップ量を10nmに制御するのはプロセス的に非常に困難であり、実際に製造しても歩留まりが悪く、コスト高をもたらす。

【0006】本発明は上記事情を考慮してなされたものであって、磁気抵抗効果素子の抵抗値がばらつくのを可及的に防止し、歩留まりを可及的に高くすることのできる垂直通電型磁気抵抗効果素子の製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明による垂直通電型磁気抵抗効果素子の製造方法は、下部電極を形成し、前記下部電極上に複数の層を有する磁気抵抗効果膜を形成し、前記磁気抵抗効果膜上にマスクを形成し、このマスクを用いて前記磁気抵抗効果膜をバーニングし、前記マスクを残したまま前記磁気抵抗効果膜よりも抵抗の高い高抵抗膜を前記磁気抵抗効果膜の脇に形成し、前記マスクを除去し、前記磁気抵抗効果膜上に存在する前記高抵抗膜を除去し、前記磁気抵抗効果膜上に上部電極を形成することを特徴とする。

【0008】このように構成された本発明の製造方法においては、マスクを残したまま高抵抗膜を堆積した後、

マスクを除去し、その後磁気抵抗効果膜上に存在する高抵抗膜を除去する。これにより、磁気抵抗効果膜上に形成される上部電極とのコンタクト面積が磁気抵抗効果膜の上部面積で規定されるため、磁気抵抗効果素子の抵抗が安定し、抵抗値がばらつくのを防止することができる。その結果、磁気抵抗効果素子を歩留まり良く製造することができる。

【0009】なお、前記高抵抗膜は、前記磁気抵抗効果膜の最上層の除去速度に比べて大きい除去速度を有する材料からなることが好ましい。

【0010】また、前記高抵抗膜の除去にはリアクティブイオンエッティング（以下、RIEともいう）法またはケミカルメカニカルポリッシング（以下、CMPともいう）法を用いても良い。

【0011】なお、前記高抵抗膜は、イオンビームスパッタ法、カソーディックアーク法、ロングスロースパッタ法、およびコリメーションスパッタ法のいずれか、あるいはこれらと同等に指向性の良い方法により成膜されることが好ましい。

【0012】

【発明の実施の形態】本発明の実施形態を以下、図面を参照して説明する。

【0013】（第1実施形態）本発明による垂直通電型磁気抵抗効果素子の製造方法の第1の実施形態を図1乃至3を参照して説明する。この実施形態の製造方法の製造工程を図1に示す。

【0014】まず、図1(a)に示すように、アルチック基板100上に、アルミナアンダーコート膜（図示せず）、さらに下部シールド膜（図示せず）を形成した後、この下部シールド膜上に、例えばMoW合金、またはTaからなる導体膜を下部電極2として形成する。さらに下部電極2の表面を例えばCMPを用いて、表面粗さ5nm以下となるように平滑化する。表面粗さを押さえることは特に素子サイズが小さくなってきたときに重要で、例えば素子サイズが0.1μm×0.1μm角程度になった場合、メッキなどで形成されるNiFeからなる下部シールド膜のグレイン一つ一つの大きさが素子の1/10程度になってくるためグレイン凹凸をきれいに制御することが垂直通電型再生素子の信頼性確保に重要な要素となる。CMPによる平滑化はNiFeからなる下部シールド膜上で行っても良いし、MoWからなる下電極2上で行っても良い。

【0015】次に、図1(b)に示すように、下部電極2上に垂直通電型磁気抵抗効果膜、例えばCPPGMR膜4を形成する。このCPPGMR膜4の積層構造は、例えば、下から、膜厚が5nmのTa層、膜厚が1nmのCoFe層、膜厚が1nmのCu層、膜厚が1nmのCoFe層、膜厚が1nmのCu層、膜厚が1nmのCoFe層、膜厚が1nmのCu層、膜厚が1nmのCoFe層、膜厚が1nmのCu層、膜厚が1nmのCoFe層、膜厚が1nmのCu層、膜

厚が1nmのCoFe層、膜厚が23nmのPtMn層、および膜厚が5nmのTa層をからなっている。

【0016】続いて、このCPPGMR膜4上にフォトレジストからなる下方にリセス6aを有するフォトレジストパターン6を形成し、このフォトレジストパターン6をマスクとしてCPPGMR膜4を、例えばイオンミリングにてバーニングする（図1(b)参照）。なお、図1(b)以降においては、基板100は省略されている。

10 【0017】次に、図1(c)に示すように、フォトレジストパターン6をそのまま残して例えばCoPtからなる膜厚が50nmのバイアス膜8を形成し、更に、CPPGMR膜よりも抵抗の高い高抵抗膜、例えばSiO<sub>2</sub>からなる膜厚が50nmの絶縁膜10を形成する。そして、フォトレジストパターン6を除去すると、図1(d)に示すようにCPPGMR膜4上にSiO<sub>2</sub>からなる絶縁膜10がわずかにかかり、オーバーラップ状態となる。このときのオーバーラップ量はフォトレジストパターン6の形状およびSiO<sub>2</sub>からなる絶縁膜10の成膜工程での絶縁膜10の回り込みで決まる。一般に、オーバーラップ量必要制御量が約10nmのオーダーになるとコントロールが極めて困難となってくる。

20 【0018】このように、絶縁膜10がCPPGMR膜4上でオーバーラップしている状態で、図2に示すように上部電極12の形成工程を行うと、絶縁膜10がオーバーラップしている部分aには上部電極12からのセンス電流は流れず、CPPGMR膜4は、絶縁膜10がオーバーラップしていない部分bのみで上部電極12とのコンタクトがなされる。そのため電流が流れる部分が小さくなることやコンタクトエリアが小さくなってしまい素子抵抗（コンタクト抵抗含む）が上昇してしまう。

30 【0019】そこで、本実施形態では、図1(e)に示すように、上部電極12が形成される前に、例えばCH<sub>4</sub>などフレオン系ガスを用いたRIEを基板全面に行なった。エッティング量はSiO<sub>2</sub>膜10で約10nm行った。また、物理的なイオンの衝突がCPPGMR膜4に悪影響を及ぼす可能性もあるためより化学的なドライエッティングであるCDE(Chemical Dry Etching)を適用することはさらに望ましい。CPPGMR膜4の最上層のTa保護膜とSiO<sub>2</sub>膜10とのRIEにおける選択比は約10であった。したがって、膜厚が10nmのSiO<sub>2</sub>膜10のエッティングはTa保護膜の1nmのエッティングに相当する。このエッティングにより、図1(f)に示すように、CPPGMR膜4上の絶縁膜はCPPGMR膜4のエッジまで後退した。その結果、センサー抵抗はCPPGMR膜4の上面の面積で規定されるため、抵抗値がばらつくのを可及的に防止でき、歩留まりを可及的に高くすることができる。なお、CPPGMR膜4上に残存する絶縁膜10を除去した後、CPPGMR膜4上に上部電極（図示せず）を形成する。

40

【0020】CPPGMR膜4上に回り込んでくるSiO<sub>2</sub>からなる絶縁膜10の厚さは平坦な部分に比べて数分の1以下であるため、RIEを少し行うことによって素子上の絶縁膜10は容易に除去することができる。なお、バイアス膜8上の絶縁膜10はその分エッチングされることになるが、CPPGMR膜4上に回り込む量は数分の1以下と僅かであるため、予め厚く形成しておくことで上部電極12とバイアス膜8との絶縁を確保することができる。

【0021】また、イオンビームスパッタリングなど指向性の良好な成膜方法、すなわちターゲットから飛び出る物質の方向が所定の一方向となる成膜方法を用いれば、絶縁膜10の分布は、CPPGMR膜4をはずれると急激に厚くなるように形成することができる。その結果、RIE時間のプロセス幅を広げることができる。これを図3(a)を参照して説明する。図3(a)に絶縁膜10をイオンビームスパッタなど指向性の良い方法で成膜した場合を示す。CPPGMR膜4上の絶縁膜を除去するためRIE法を用いて異方性エッチングを行う。これにより絶縁膜10はCPPGMR膜4上をエッジに向かって後退する。ジャストエッチング状態をちょうどCPPGMR膜4のエッジに絶縁膜10が係った時間とする。さらにオーバーエッチングとなるようにRIEを行った場合、CPPGMR膜4のエッジで絶縁膜10の膜厚分布が急峻なとき、すなわち絶縁膜4が指向性の良い成膜方法で形成されたときは、オーバーエッチングとなるようにRIEを行っても絶縁膜10はCPPGMR膜4のエッジよりほとんど後退しない。その結果、絶縁膜10下のCoPtからなるバイアス膜8がエッチング表面に出てこないため、上部電極(図示せず)から流れ込んでくるセンス電流はCPPGMR膜4に流入し、バイアス導体膜8に分流しない。このため、センス電流の損失が無く、CPPGMR素子の抵抗値がばらつくのを防止することができる。

【0022】一方、絶縁膜10をRF(Radio Frequency)スパッタ法などで形成した場合は、図3(b)に示すように、RIEにより絶縁膜10がCPPGMR膜4のエッジにかかるジャストエッチングの状態から、さらに、オーバーエッチングとなるようにRIEを行ったときには、CPPGMR膜4のエッジ近傍における絶縁膜10の膜厚分布が緩やかなためオーバーエッチングにより絶縁膜10の縁が後退してCoPtからなるバイアス導体膜8がエッチング表面にでてくる。この結果、上部電極(図示せず)より流入するセンス電流はCPPGMR膜4のみならずCoPtからなるバイアス膜8にも流れてしまふため、センス電流をロスすることとなる。

【0023】以上のことから、本発明を通用するに当たりイオンビームスパッタ法など指向性の良好な成膜方法によって形成された絶縁膜10は、通常のRFスパッタリング成膜との膜質比較による耐圧性向上以外に、この

CPPGMR膜4のエッジでの急峻な膜厚プロファイルを形成することにより、プロセスウィンドウの拡大をもたらし、その結果センサー抵抗をより安定化させることができる。

【0024】指向性の良好な成膜方法としては、イオンビームスパッタ法の他に、カソーディックアーク法、ロングスロースパッタ法、またはコリメーションスパッタ法等があり、これらのいずれか、あるいはこれらと同等に指向性の良い方法を用いることが好ましい。

【0025】なお、この実施形態では絶縁膜10をSiO<sub>2</sub>、エッチングガスをCHF<sub>3</sub>であったが、エッチングガスは他のフレオン系ガスや塩素系ガス等も使用することができる。また、絶縁膜10はアルミナ、ジルコニアなどを用いても良い。

【0026】(第2の実施形態) 次に、本発明による垂直通電型磁気抵抗効果素子の製造方法の第2の実施形態を図4を参照して説明する。図4は本実施形態の製造方法の製造工程を示す断面図である。

【0027】本実施形態の製造方法は、第1の実施形態の製造方法において、RIEによるオーバーエッチングを防止するために、絶縁膜10の代わりに材質の異なる2つの材料を積層させた絶縁膜11を形成したものである。CoPtからなるバイアス膜8の成膜までは第1の実施形態と同様の工程で行う。そして、フォトレジストバターン6を残した状態で膜厚が30nmのSiO<sub>2</sub>からなる膜11aを形成し、さらに膜厚が30nmのAl<sub>2</sub>O<sub>3</sub>からなる絶縁膜膜11bを積層させ、その後、第1の実施形態と同様にフォトレジストバターン6を除去すること、すなわちリフトオフ法によって絶縁膜11を形成する(図4(a)参照)。

【0028】次に、図4(b)に示すように、絶縁膜11の表面をCHF<sub>3</sub>ガスを用いたRIE法によってエッチングすることでCPPGMR膜4上に回り込んだ絶縁膜を除去する。このエッチングによる除去は、まず、表層にあるアルミナ(Al<sub>2</sub>O<sub>3</sub>)膜11bをCHF<sub>3</sub>ガスを用いてRIEを行う。このエッチングはICPプラズマエッチング装置を用いてCHF<sub>3</sub>ガス15sccm、コイルパワー300W、プラテンパワー300Wの条件で行った。このエッチング条件において、Al<sub>2</sub>O<sub>3</sub>膜11bのSiO<sub>2</sub>膜11aに対する選択比は約4である。CPPGMR膜4上のアルミナ膜11bを数10nmをエッチングの後(図4(b)参照)、SiO<sub>2</sub>膜11aが断続的にエッチングされる。このとき、図4(b)に示すようにCPPGMR膜4の脇には、まだ厚いアルミナ膜11bが残っている。引き続き、同条件にてエッチングが行われる場合は、この残存しているアルミナ膜11bがマスクの代わりをして、アルミナ膜11bに比較して約4倍の速さでSiO<sub>2</sub>膜11aをエッチングする(図4(c))。こうすることで絶縁膜11の後退はアルミナ膜11bがマスクの役割をして制御する

40

40

50

7  
ことができる。その結果、オーバーエッチングにより開口部面積が広がり、CPPGMR膜4以外にセンス電流が流れセンス電流が損失することを防ぐことができる。

【0029】以上のように、絶縁層11を複数層にして、上層11bが下層11aのマスクの役をするように、上層のエッチングレートを下層のエッチングレートより低くすることで、オーバーエッチングによる開口部の広がりを抑制することができる。さらに、複数層になることでピンホールによる絶縁不良を低減することができる。

【0030】また、この第2の実施形態も第1の実施形態と同様に、磁気抵抗効果素子の抵抗値がばらつくのを可及的に防止することができ、歩留まりを可及的に高めることができる。

【0031】なお、第1および第2の実施形態では、CPPGMR膜4上の絶縁膜を除去するエッチングとしてドライエッチングを用いたが、ウェットエッチングを用いて加工することも可能である。

【0032】(第3の実施形態) 次に、本発明による垂直通電型磁気抵抗効果素子の製造方法の第3の実施形態を図5を参照して説明する。この実施形態の製造方法の製造工程を図5に示す。

【0033】この実施形態の製造方法は、第1の実施形態において、CPPGMR膜4上の絶縁膜10の除去に、RIE法の代わりにCMP法を用いて行うものである。

【0034】まず、図5(a)に示すように、膜厚が50nmのSiO<sub>2</sub>膜10を形成するまでは、第1の実施形態と同じ工程で行う。なお、図5(a)はリフトオフした形状を示す。次に、SiO<sub>2</sub>からなるベーススラリを用いてCMPを行った。SiO<sub>2</sub>膜10と、CPPGMR膜4の最上層であるTa膜との加工レートは約4:1である。クロスをやわらかい材料に設定することで、絶縁膜10からCPPGMR膜4にかけての凹凸に影響されず全面にCMPが行われやすくなる。CMP加工後の形状を図5(b)に示す。CMPは約10nm行った。CPPGMR膜4上の薄いSiO<sub>2</sub>絶縁膜がCPPGMR膜4のエッジまで後退していることがわかる。CPPGMR膜4の最上層に形成された保護膜であるTa膜の加工量は2.5nmであった。以上のことからCMPによっても、GMR膜4の保護膜との加工選択比を取ることで、CPPGMR膜4上の絶縁膜を除去すること\*

$$Rb = c \times Ra (= Ra + Rbias)$$

ここで、cはRbのRaに対する係数、RbiasはCoPt膜による膜面垂直方向の抵抗を示す。そして、エリアBでの総合抵抗RB(膜面垂直方向)は、RB = Rb / Sb(ただし、SbはエリアBのCPPGMR膜4のサイズに対する規格化面積)となる。

【0043】CoPtからなるバイアス膜8が回り込んだこ

\*ができる。

【0035】この第3の実施形態においても、第1の実施形態と同様に、磁気抵抗効果素子の抵抗値がばらつくのを可及的に防止することができ、歩留まりを可及的に高めることができる。

【0036】なお、第1の実施形態において、CoPtからなるバイアス膜8の形成方法によっては、図6(a)に示すように、絶縁膜10と同様にバイアス膜8がCPPGMR膜4の端部にかかってしまう場合がある。この場合、RIE法などで絶縁膜10を除去してもその下にバイアス膜8が残存することになる(図6(b)参照)。基本的にCoPtからなるバイアス膜8には導電性があるため絶縁膜10をCPPGMR膜4上から除去すれば素子抵抗は安定して製造される。しかしながら、バイアス膜8の製造方法により、バイアス膜8の電気抵抗が高く設定される場合や、厚くCPPGMR膜4上に形成された場合、絶縁膜10がかかっているときと同様に素子抵抗の上昇を生じる。

【0037】以下に、素子抵抗値を±10%(レンジ20%)に押さえるための、CoPtからなるバイアス膜が積層された部分の単位面積あたりの素子抵抗の上昇許容値を説明する。

【0038】プロセスによる素子の面積均一性およびCPPGMR膜4の電気抵抗率の成膜再現性は十分あると仮定するとして、CoPtからなるバイアス膜8の回り込みによるCPPGMR膜4の抵抗の変動をレンジで20%以内に押さえるために必要なCoPtからなる膜8のCPPGMR膜4上における残存膜厚許容値を求める。

【0039】以下、図7を参照して説明する。

【0040】CPPGMR膜4のエッジからのバイアス膜8の回り込み量をw(一辺の長さに対する規格値)とし、回り込んだ部分にはCoPtからなるバイアス膜8が膜厚tにて均一に成膜されているとする。またCoPtからなる膜が回り込んでいない部分:エリアA(=(1-2w)×1)において単位面積あたりの膜面垂直方向の抵抗Raとする。

【0041】エリアAにおける膜面垂直方向の抵抗RAは、RA = Ra / Sa(ただし、SaはエリアAのCPPGMR膜4のサイズに対する規格化面積)となる。

【0042】また、CoPtからなる膜8が回り込んでいる部分:エリアB(=1-エリアA)において、単位面積あたりの膜面垂直方向の抵抗Rbは、

... (1)

とによるCPPGMR膜4の総合抵抗Rtotは、エリアAとエリアBの並列抵抗であり、Rtot = RA × RB / (RA + RB)となる。したがって、回り込み無しの場合に比べての素子抵抗増加比をDとすると、次の(2)式となる。

【0044】

(2) 式を書き直して

$$\begin{aligned} D &= ((Ra/Sa)(Rb/Sb) / ((Ra/Sa)+(Rb/Sb))) / Ra \\ &= RaRb / ((RaSb+RbSa)Ra) \\ &= c / (Sb+cSa) \end{aligned}$$

したがって、

$$c = DSb / (1 - DSa) \quad \dots \dots (3)$$

を得る。ここで、(1)式より

$$c = Ra + Rbias$$

すなわち、

$$c = 1 + Rbias/Ra \quad \dots \dots (4)$$

となる。(3)式と(4)式から

$$Rbias/Ra = DSb / (1 - DSa) - 1 \quad \dots \dots (5)$$

を得る。

【0045】したがって、許容できる素子抵抗増加比D、単位面積あたりのCPPGMR膜の抵抗Ra、CoPt回り込み面積Sa、Sbがわかれば許容できるCoPtからなる膜の抵抗が導き出せる。

【0046】以下の仮定の元でCoPtからなる膜8のCPPGMR膜4上の残存膜厚許容値を求めてみる。

【0047】CPPGMR膜4の垂直通電方向の単位面積あたりの抵抗値は、材料の電気抵抗率が高い反強磁性膜(たとえばPtMn合金やIrMn合金など)厚さと下地やキャップ層に用いられるTa膜の厚さによる影響がほとんどとして

PtMnの電気抵抗率: 230 ( $\mu\Omega \cdot \text{cm}$ )、膜厚25nm

Taの電気抵抗率: 150 ( $\mu\Omega \cdot \text{cm}$ )、膜厚が10nm(保護膜+下地膜)

CoPtの電気抵抗率: 150 ( $\mu\Omega \cdot \text{cm}$ )、回り込み膜厚t、エリアAにおける単位面積あたりのCPPGMR積層直列抵抗R<sub>a</sub>が、

$$Ra = 230 \times 25 + 150 \times 10 = 7250$$

であり、エリアBにおけるCPPGMR、バイアス膜積層単位面積あたりの積層直列抵抗R<sub>b</sub>が、

$$Rb = Ra + 150t = 230 \times 25 + 150 \times 10 + 150t = c \quad Ra = 7250c$$

であり、また、CoPtからなるバイアス膜8はそれぞれのエッジからCPPGMR膜4の上面の一辺の20%だけ回り込んだとしてw=0.2、したがって、

$$\text{エリアA面積: } Sa = (1 - 0.2 \times 2) \times 1 = 0.6$$

$$\text{エリアB面積: } Sb = 1 - Sa = 1 - 0.6 = 0.4$$

となる。ここで、(5)式にSa=0.6、Sb=0.4、D=1.2(素子抵抗増加比20%として)を代入すると、

$$\begin{aligned} Rbias/Ra &= DSb / (1 - DSa) - 1 \\ &= (1.2 \times 0.4) / (1 - 1.2 \times 0.6) - 1 \end{aligned}$$

$$= 0.71$$

$$Rbias = 150t = 0.71 \times 7250$$

$$t = 34.5 \text{ nm}$$

したがって、CPPGMR膜4上にはCoPtからなる膜8が34.5nmまで存在しても許容できることになり、CoPtからなる膜8の成膜プロセスによっては除去を行わなくて

$$D = Ra / (Sa + Sb) = (Ra \times Rb / (Ra + Rb)) / (Ra / (Sa + Sb)) \dots \dots (2)$$

も良い結果となる。

【0048】また、成膜プロセスによりバイアス膜部分の抵抗値が上昇し、素子抵抗許容値を超える場合はバイアス膜の除去もしくは減少を行う必要がある。この場合、バイアス膜も高抵抗膜となる。

【0049】一般にCoPtからなる膜をケミカルなエッティングで除去するのは困難であるため、たとえば、TaなどCPPGMR膜の最上層の保護膜とバイアス膜8との選

10 択比が十分取れる角度でのイオンミリング、また、図8(a)に示すように、バイアス膜8を成膜後、絶縁膜10の成膜前に、もしくは絶縁膜10を成膜しない場合のレジストパターン6の除去前に基板に対して浅い角度で角度でイオンミリングを行い(図8(b)参照)、CPPGMR膜4上に形成されているバイアス膜8の除去もしくは減少を行うことは効果的である(図8(b)参照)。以降、絶縁膜10を成膜する場合(図8(c)参照)、レジストパターン6の除去後にRIE等を用いてCPPGMR膜4上の絶縁膜の除去を行うことにより

20 (図8(d)参照)、CoPtからなるバイアス膜8および絶縁膜10をCPPGMR膜4上から除去せしめ、安定な素子抵抗で製造することが可能となる。

【0050】なお、上記の実施形態においては、マスク6はT型形状であったが、本発明はこれに限定されるものではなく、磁気抵抗効果膜上に高抵抗膜が回り込む形状のものであれば、本発明を適用できる。

【0051】

【発明の効果】以上、述べたように本発明によれば、磁気抵抗効果素子の抵抗値がばらつくのを可及的に防止することができ、歩留まりを可及的に高くすることができる。

【図面の簡単な説明】

【図1】本発明による垂直通電型磁気抵抗効果素子の製造方法の第1の実施形態の製造工程断面図。

【図2】従来の製造方法の問題点を説明する断面図。

【図3】第1の実施形態の変形例を説明する断面図。

【図4】本発明による垂直通電型磁気抵抗効果素子の製造方法の第2の実施形態の製造工程断面図。

【図5】本発明による垂直通電型磁気抵抗効果素子の製造方法の第3の実施形態の製造工程断面図。

【図6】第1の実施形態の他の変形例を説明する工程断面図。

【図7】バイアス膜がCPPGMR膜上に残存許容膜厚値を求めるのに用いた模式図。

【図8】第1の実施形態の他の変形例を説明する工程断面図。

【図9】従来の面内通電型GMR素子の製造工程断面図。

【図10】従来の製造方法によって製造された垂直通電型GMR素子の断面図。

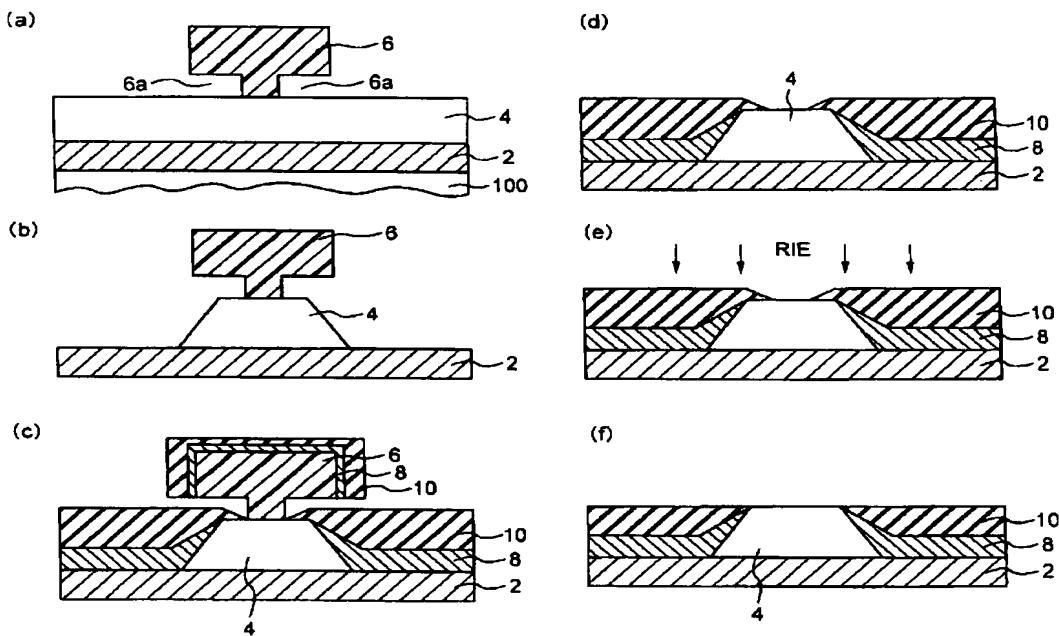
## 【符号の説明】

2 下部電極  
4 CPPGMR膜  
6 フォトレジストバターン  
6a リセス  
8 バイアス膜

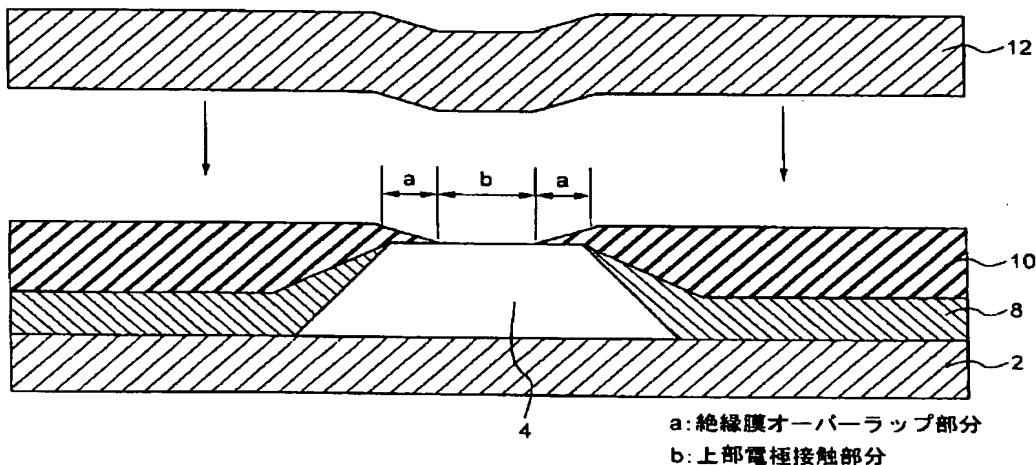
\* 10 絶縁膜  
11 絶縁膜  
11a  $\text{SiO}_2$  膜  
11b  $\text{Al}_2\text{O}_3$  膜  
100 基板

\*

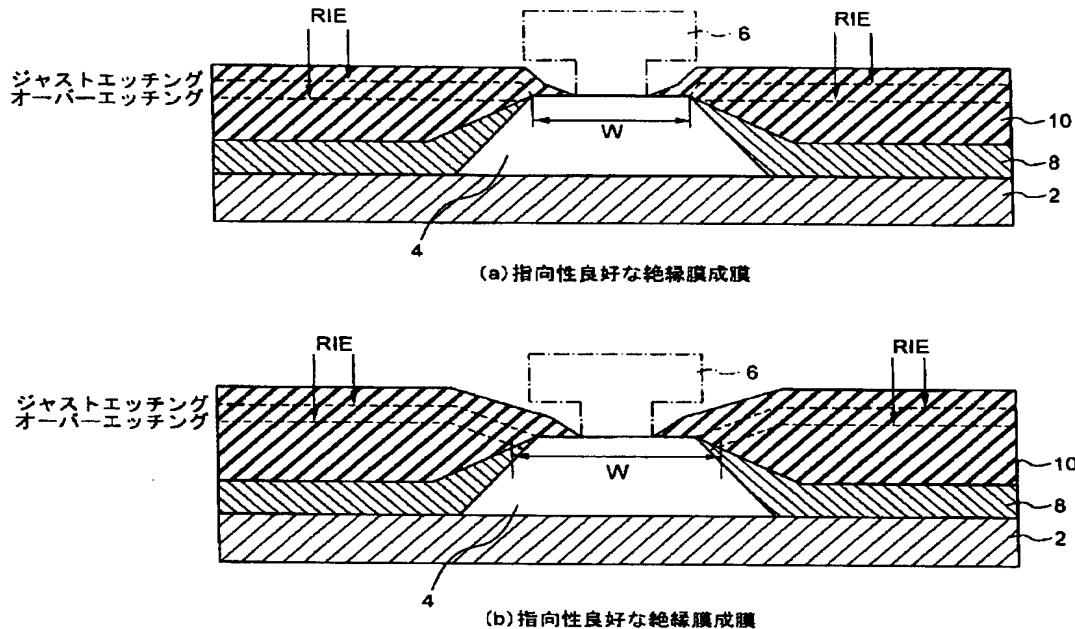
【図1】



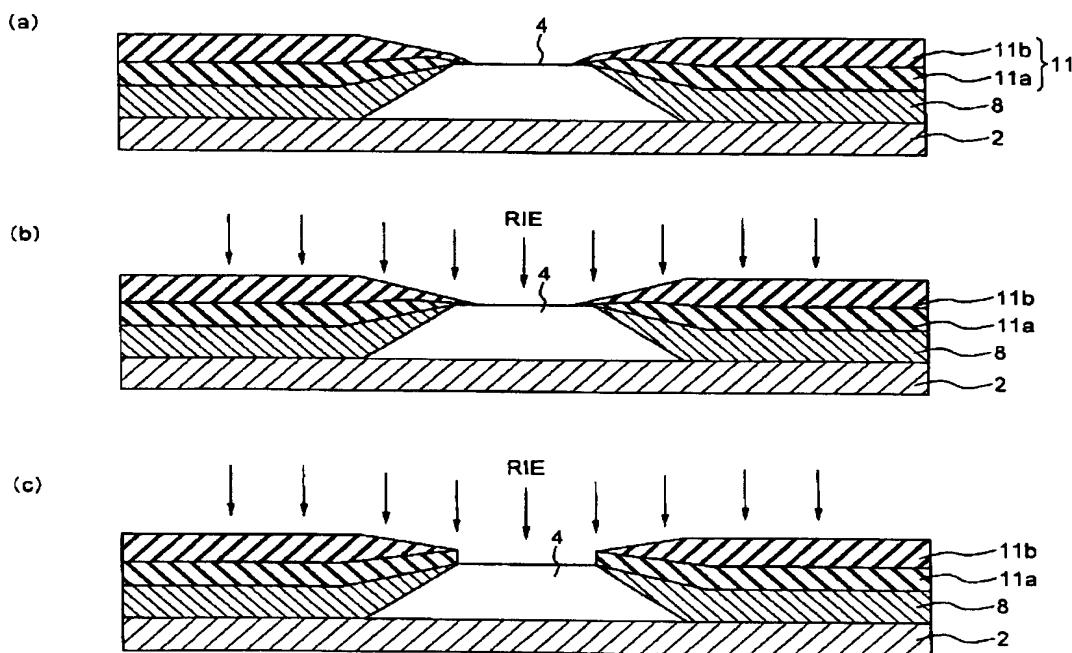
【図2】



【図3】

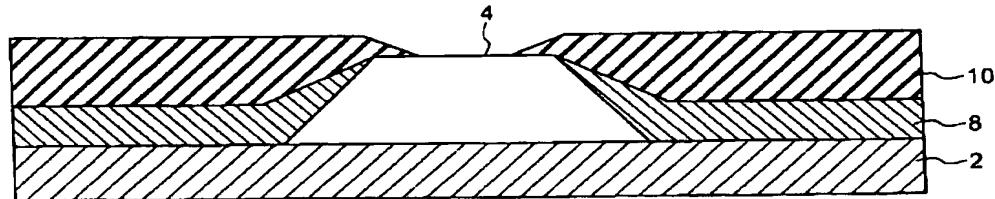


【図4】

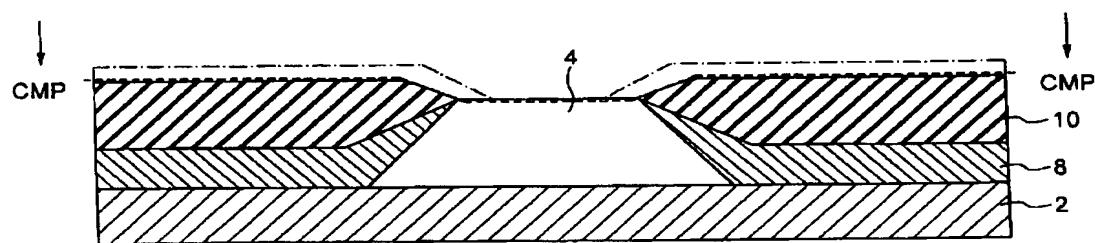


【図5】

(a)

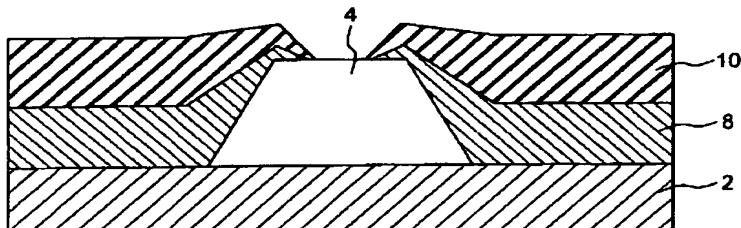


(b)

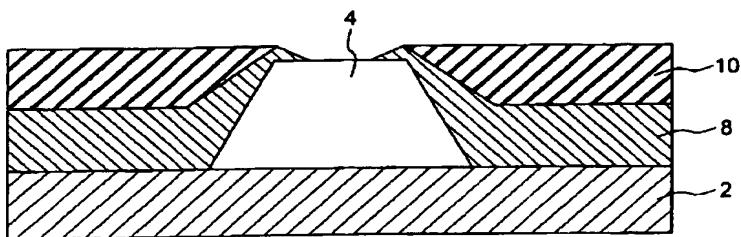


【図6】

(a)

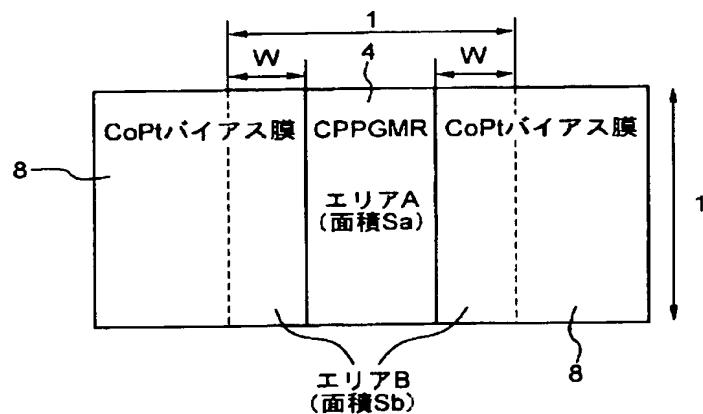


(b)

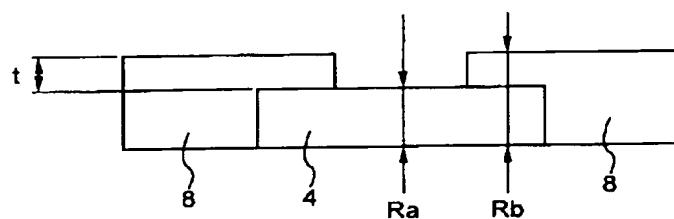


【図7】

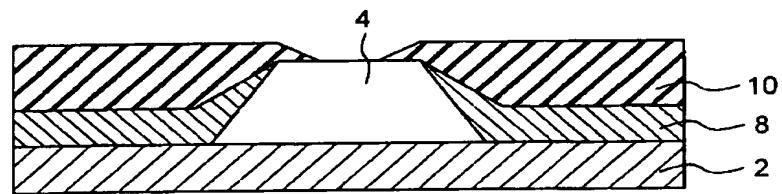
(a)



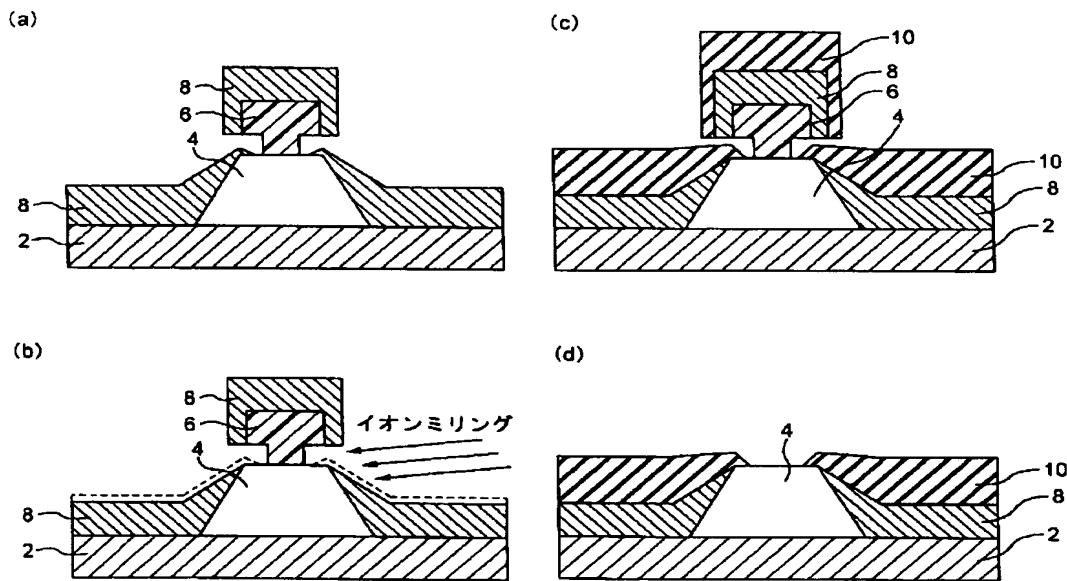
(b)



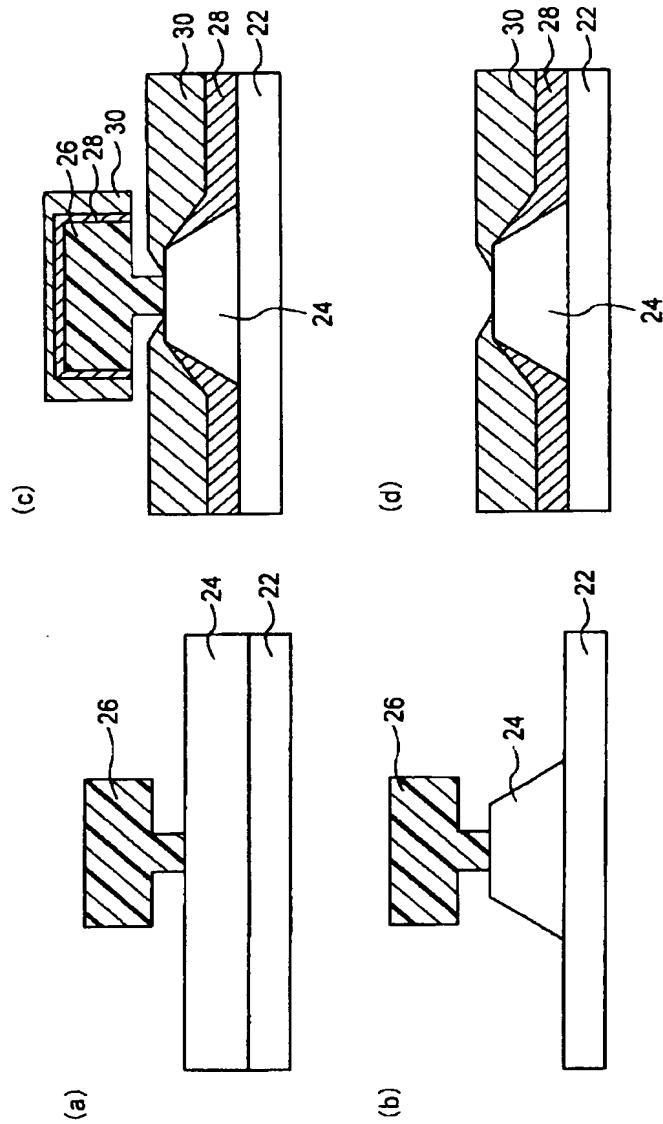
【図10】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.  
H 01 L 43/12

識別記号

F I  
G 01 R 33/06テーマコード(参考)  
R

F ターム(参考) 2G017 AA01 AB07 AD55 AD65  
SD034 AA03 BA06 BA15 DA07  
SE033 AA02  
SE049 AA01 BA12 CB01 CC01